

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06112219 A

(43) Date of publication of application: 22.04.94

(51) Int. Cl

H01L 21/336

H01L 29/784

H01L 21/28

(21) Application number: 04282403

(71) Applicant: NEC CORP

(22) Date of filing: 28.09.92

(72) Inventor: KANBA KOJI

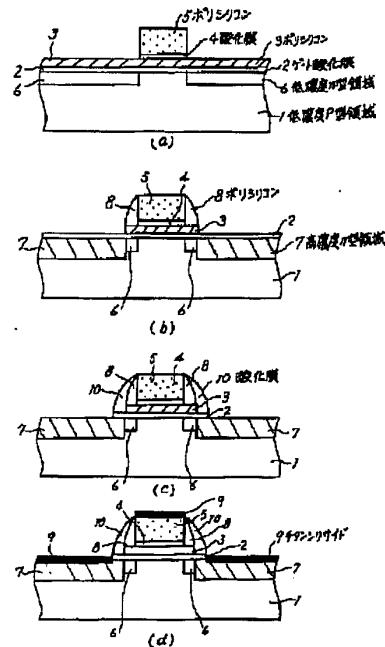
(54) SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE

(57) Abstract:

PURPOSE: To prevent short circuit between a gate and a source drain of a MOS transistor having a polysilicon side wall on the side surface of a gate electrode.

CONSTITUTION: Relating to a MOS transistor having a polysilicon side wall 8 on the side surface of a gate polysilicon 5, an oxide film side wall 10 is provided to the side surface of the polysilicon side wall 8. With this, a titanium silicide 9 on the gate polysilicon 5 is sufficiently separated from the titanium silicide 9 on a source drain 7, for preventing short circuit between the gate and source drain.

COPYRIGHT: (C)1994,JPO&Japio



(51)Int.Cl.⁵

H 01 L 21/336

29/784

21/28

識別記号

庁内整理番号

F I

技術表示箇所

301 T 9055-4M
7377-4M
7377-4M

H 01 L 29/78

301 L

301 P

審査請求 未請求 請求項の数3(全4頁)

(21)出願番号

特願平4-282403

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日

平成4年(1992)9月28日

(72)発明者 神庭 康二

東京都港区芝五丁目7番1号 日本電気株
式会社内

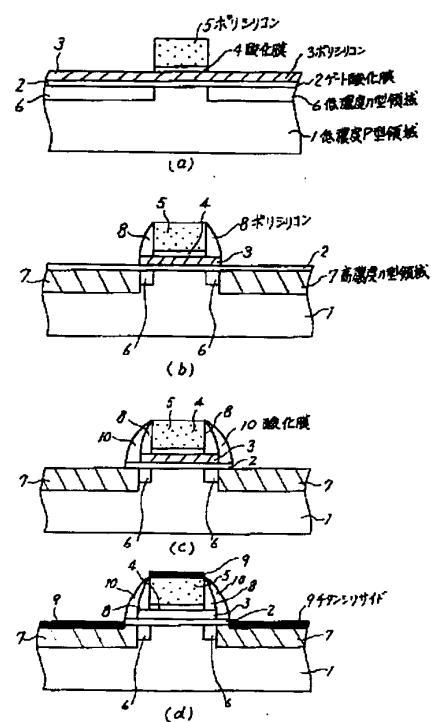
(74)代理人 弁理士 菅野 中

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 ゲート電極の側面にポリシリコンのサイドウォールをもつMOSトランジスタにおいて、ゲートとソース・ドレインの短絡を防ぐ。

【構成】 ゲートポリシリコン5の側面にポリシリコンのサイドウォール8をもつMOSトランジスタにおいて、ポリシリコンのサイドウォール8の側面に酸化膜のサイドウォール10を設ける。これにより、ゲートポリシリコン5上のチタンシリサイド9とソースメドレイン7上のチタンシリサイド9を十分に隔離することができるためゲートとソース・ドレインの短絡を防ぐ。



【特許請求の範囲】

【請求項1】 一導電型の半導体基板の一主面上にゲート酸化膜を介して設けられた第1の多結晶シリコンと、前記第1の多結晶シリコン上に設けられた第1の酸化膜と、前記第1の酸化膜上に設けられた第2の多結晶シリコンと、前記第2の多結晶シリコンの側面に設けられた第3の多結晶シリコンと、前記第3の多結晶シリコンの側面に設けられた第2の酸化膜と、前記第3の多結晶シリコン下の前記半導体基板上に設けられた低濃度で浅い第1の逆導電型不純物拡散領域と、前記第1の逆導電型不純物拡散領域に隣接して設けられた高濃度で深い第2の逆導電型不純物拡散領域と、前記第2の多結晶シリコン上と前記第2の逆導電型不純物拡散領域上に設けられた金属シリサイドとを有することを特徴とする半導体装置。

【請求項2】 半導体基板主表面上に、ゲート酸化膜、第1の多結晶シリコン膜、第1の酸化膜、第2の多結晶シリコン膜を順次積層形成する工程と、前記第2の多結晶シリコン及び第1の酸化膜をエッチングする工程と、エッチング処理後の第2の多結晶シリコン及び第1の酸化膜をマスクとして基板に第1の不純物拡散領域を形成する工程と、第3の多結晶シリコンを形成し、前記第3の多結晶シリコン及び前記第1の多結晶シリコンをエッチングして、前記第2の多結晶シリコンの側面にサイドウォールを形成する工程と、第2の不純物拡散領域を形成する工程と、第2の酸化膜を形成し、前記第2の酸化膜及び前記ゲート酸化膜をエッチングして前記第3の多結晶シリコンの側面にサイドウォールを形成する工程と、金属膜を形成し、アニールを行うことにより、前記第2の多結晶シリコン上と前記第2の不純物拡散領域上にのみ選択的に金属シリサイドを形成する工程とを含むことを特徴とするとする半導体装置の製造方法。

【請求項3】 請求項2に記載の半導体装置の製造方法であって、第2の酸化膜が窒化膜であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 従来のLDD部分の全てがゲート電極の直下に位置するMOSトランジスタのゲート及びソース・ドレインの構造と製造方法を図3を用いて説明する。

【0003】 低濃度P型領域1からなるシリコン基板上

に、200Åのゲート酸化膜2と200Åのポリシリコン3と200Åの酸化膜4と3000Åのポリシリコン5を順に形成する。

【0004】 次に、フォトリソグラフィー技術によりポリシリコン5と酸化膜4に対し、順に異方性エッチングを行う。そして、リンを例えればエネルギー100KeV、ドーズ量 $7 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、低濃度n型領域6を形成する(図3(a))。

【0005】 2000Åのポリシリコン8を気相成長した後、ポリシリコン8及びポリシリコン3に対して異方性エッチングを行い、サイドウォールを形成する。そして、ヒ素をエネルギー70KeV、ドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ でイオン注入し、高濃度n型領域7を形成する(図3(b))。

【0006】 酸化膜2を異方性エッチングにより除去して、チタンをスパッタ法により形成した後、アニールによりポリシリコン8及びポリシリコン5及び高濃度n型領域7上にのみ選択的チタンサイドウォール9を形成する。ポリシリコン5及びポリシリコン8及びポリシリコン3は電気的に接続されている。

【0007】 図3(c)に示すようなMOSトランジスタの利点としては、LDDに相当する低濃度n型領域が完全にゲート電極(ポリシリコン3)の下に位置しているため、ゲート酸化膜2の直下の低濃度n型領域6の抵抗が下がることが挙げられる。つまり、ゲートに順電圧を印加したとき、ゲート電極の下にあるLDD部分の表面付近のポテンシャルが下がり、チャネルが形成されるからであり、これによりLDD部分の抵抗が下がる。

【0008】 【発明が解決しようとする課題】 上述の従来のMOSトランジスタの構造においては、ゲートとソース・ドレイン上に形成されているチタンシリサイド9(TiSi₂)が短絡してしまうという問題があった。

【0009】 本発明の目的は、ゲートとソース・ドレインの短絡を防止した半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】 前記目的を達成するため、本発明に係る半導体装置は、一導電型の半導体基板の一主面上にゲート酸化膜を介して設けられた第1の多結晶シリコンと、前記第1の多結晶シリコン上に設けられた第1の酸化膜と、前記第1の酸化膜上に設けられた第2の多結晶シリコンと、前記第2の多結晶シリコンの側面に設けられた第3の多結晶シリコンと、前記第3の多結晶シリコンの側面に設けられた第2の酸化膜と、前記第3の多結晶シリコン下の前記半導体基板上に設けられた低濃度で浅い第1の逆導電型不純物拡散領域と、前記第1の逆導電型不純物拡散領域に隣接して設けられた高濃度で深い第2の逆導電型不純物拡散領域と、前記第2の多結晶シリコン上と前記第2の逆導電型不純物拡散

領域上に設けられた金属シリサイドとを有するものである。

【0011】また、本発明に係る半導体装置の製造方法は、半導体基板表面上に、ゲート酸化膜、第1の多結晶シリコン膜、第1の酸化膜、第2の多結晶シリコン膜を順次積層形成する工程と、前記第2の多結晶シリコン及び第1の酸化膜をエッティングする工程と、エッティング処理後の第2の多結晶シリコン及び第1の酸化膜をマスクとして基板に第1の不純物拡散領域を形成する工程と、第3の多結晶シリコンを形成し、前記第3の多結晶シリコン及び前記第1の多結晶シリコンをエッティングして、前記第2の多結晶シリコンの側面にサイドウォールを形成する工程と、第2の不純物拡散領域を形成する工程と、第2の酸化膜を形成し、前記第2の酸化膜及び前記ゲート酸化膜をエッティングして前記第3の多結晶シリコンの側面にサイドウォールを形成する工程と、金属膜を形成し、アニールを行うことにより、前記第2の多結晶シリコン上と前記第2の不純物拡散領域上にのみ選択的に金属シリサイドを形成する工程とを含むものである。

【0012】また、第2の酸化膜が窒化膜である。

【0013】

【作用】ゲートポリシリコン5の側面にポリシリコンのサイドウォール8をもつMOSトランジスタにおいて、ポリシリコンのサイドウォール8の側面に酸化膜のサイドウォール10を設ける。これにより、ゲートポリシリコン5上のチタンシリサイド9とソース・ドレイン7上のチタンシリサイド9を十分に隔離することができるためゲートとソース・ドレインの短絡を防ぐ。

【0014】

【実施例】以下、本発明の実施例を図により説明する。

【0015】(実施例1) 図1は、本発明の実施例1を工程順に示す縦断面図である。

【0016】図1(a)において、低濃度p型領域1からなるシリコン基板上に200Åのゲート酸化膜2と200Åのポリシリコン3と200Åの酸化膜4と300Åのポリシリコン5とを順に形成する。

【0017】次に、フォトリソグラフィー技術を用いて、ポリシリコン5と酸化膜4を順に異方性エッティングを行う。そしてリンを、例えばエネルギー100KeV、ドーズ量 $7 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、低濃度n型領域6を形成する。

【0018】図1(b)に示すように、2000Åのポリシリコン8を気相成長した後、ポリシリコン8及びポリシリコン3に対して異方性エッティングを行い、サイドウォールを形成する。ヒ素をエネルギー70KeV、ドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ でイオン注入し、高濃度n型領域7を形成する。

【0019】次に図1(c)に示すように、全面に酸化膜10を形成した後、酸化膜10及びゲート酸化膜2に対し異方性エッティングを行ってサイドウォールを形成する。

【0020】次に図1(d)に示すように、1000Åのチタンをスパッタ法により形成し、ランプアニール法を用いてチタンシリサイド9(TiSi₂)を、ポリシリコン8及び高濃度n型領域7上にのみ選択的に形成する。ポリシリコン5及びポリシリコン8及びポリシリコン3は電気的に接続されている。

【0021】このように酸化膜のサイドウォール10によりゲートポリシリコン8上のチタンシリサイド9と高濃度n型領域7上のチタンシリサイド9を十分に隔離することができるため、ゲートとソース・ドレインの短絡を防ぐことができる。

【0022】(実施例2) 図2は、本発明の実施例2を示す縦断面図である。

【0023】本実施例は酸化膜のサイドウォール10を窒化膜のサイドウォール11に置き換えたものである。

【20】窒化膜は酸化膜より絶縁膜としての耐圧が高いので、ゲートとソース・ドレインの短絡を防ぐという意味において、窒化膜を用いた方がより高い信頼性を得られる。

【0024】

【発明の効果】以上説明したように本発明は、従来技術のMOSトランジスタのゲート側面に酸化膜のサイドウォールを設けることにより、ゲート上のチタンシリサイドとソースメドレイン上のチタンシリサイドを十分に(数千Å)離すことができるため、ゲートとソース・ドレイン間の短絡をなくすことができる。

【30】【図面の簡単な説明】

【図1】本発明の実施例1を工程順に示す縦断面図である。

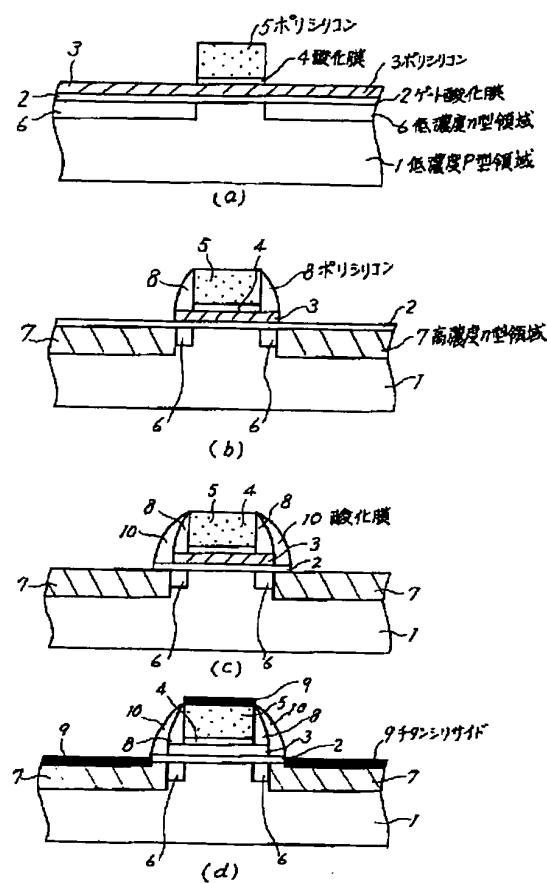
【図2】本発明の実施例2を工程順に示す縦断面図である。

【図3】従来例を工程順に示す縦断面図である。

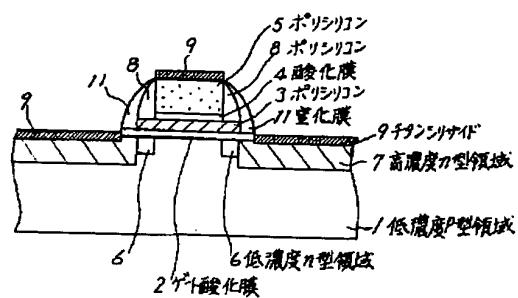
【符号の説明】

- 1 低濃度p型領域
- 2 ゲート酸化膜
- 3 ポリシリコン
- 4 酸化膜
- 5 ポリシリコン
- 6 低濃度n型領域
- 7 高濃度n型領域
- 8 ポリシリコン
- 9 チタンシリサイド
- 10 酸化膜
- 11 窒化膜

【図1】



【図2】



【図3】

